**Esercizio 3**

Progettare e implementare in VHDL un orologio che, a partire da un clock di riferimento di 50MHz che opera da base dei tempi, generi, mediante uso di contatori, il secondo, il minuto e l'ora. Utilizzare un approccio strutturale collegando opportunamente i contatori secondo uno schema a scelta.

Il progetto deve prevedere la possibilità di inizializzare l’orologio con un valore iniziale, sempre espresso in termini di ore, minuti e secondi, mediante un opportuno ingresso di *set*, e deve prevedere un ingresso di reset per azzerare il tempo.